

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平10-506492

(43) 公表日 平成10年(1998) 6月23日

(51) Int.Cl.⁵

識別記号

F I

G 0 6 T 1/20

G 0 6 F 15/66

K

G 0 6 F 15/80

15/80

審査請求 未請求 予備審査請求 未請求(全 30 頁)

(21) 出願番号 特願平9-506486
(86) (22) 出願日 平成8年(1996) 7月12日
(85) 翻訳文提出日 平成9年(1997) 3月21日
(86) 国際出願番号 P C T / I B 9 6 / 0 0 6 8 3
(87) 国際公開番号 W O 9 7 / 0 4 4 0 1
(87) 国際公開日 平成9年(1997) 2月6日
(31) 優先権主張番号 9 5 2 0 2 0 0 8 . 9
(32) 優先日 1995年7月21日
(33) 優先権主張国 オーストリア (A T)
(31) 優先権主張番号 9 5 2 0 3 0 3 1 . 0
(32) 優先日 1995年11月8日
(33) 優先権主張国 オーストリア (A T)

(71) 出願人 フィリップス エレクトロニクス ネムローゼ フェンノートシャップ
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1
(72) 発明者 デ ランゲ アルフォンシウス アントニウス ヨゼフ
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1
(72) 発明者 デ ヴィス ベーター ヘンドリック ネリス
オランダ国 5621 ベーアー アインドーフェン フルーネヴァウツウェッハ 1
(74) 代理人 弁理士 杉村 暁秀 (外6名)

最終頁に続く

(54) 【発明の名称】 高性能密度を有するマルチメディアプロセッサアーキテクチャ

(57) 【要約】

マルチメディアシステムは、高性能密度のプログラム不可能タスク特定プロセッサを有する。前記タスク特定プロセッサは、合わさってビデオアルゴリズムを構成する基礎機能を実行する。前記タスク特定プロセッサを、相互接続性をアービタによって制御する高速通信モジュールを経て相互接続する。前記アービタは、データフローグラフを格納する。低性能密度の完全プログラム可能汎用プロセッサは、前記基礎機能に容易にマッピングできないこれらのタスクを実行する。異なったレベルの性能密度およびプログラム可能性を有するこの構成は、システム全体の性能密度を先行技術に関して上昇させる。

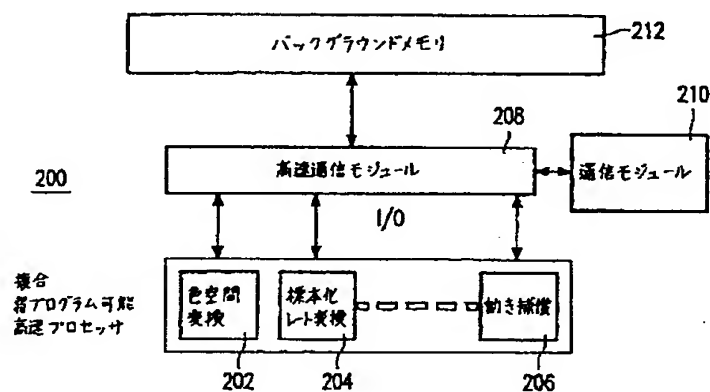


FIG. 2

【特許請求の範囲】

1. ビデオデータをビデオアルゴリズムに従って処理し、通信手段を経て相互接続されたマルチプロセッサを具えるビデオデータ処理システム（200；300；400；600；700）において、

- ー 前記マルチプロセッサが、各々が前記アルゴリズムの画像処理レベルにおける複数の基礎機能の各々1つを実行する複数のタスク特定プロセッサ（202，204，206；304；602，604，606）を含み、ここで、

- ー 前記タスク特定プロセッサの各々が代表的な汎用プロセッサより相当に高い性能密度を有し、

- ー 前記タスク特定プロセッサの各々が、プログラム不可能であるか、代表的な汎用プロセッサより実際的に低いプログラム可能性を有し、

- ー 前記通信手段が、

- ー 前記タスク特定プロセッサに並列に結合され、前記タスク特定プロセッサの任意のものの間の並列な通信を可能にする通信モジュール（208）を具えることを特徴とするシステム。

2. 請求の範囲1のシステムにおいて、前記基礎機能の各々1つが、以下のタスク、すなわち、フィルタ処理、DCT、色空間変換、標本化レート変換、動き予測および補償、特徴抽出、グラフィックデータおよびビデオデータの合成、表参照、可変長復号化の各々1つを含むシステム。

3. 請求の範囲1または2のシステムにおいて、前記タスク特定プロセッサの少なくとも特定の1つを、パラメータの値を変えることによって前記基礎機能の関係する1つの制御を可能にするために、パラメータ化可能としたシステム。

4. 請求の範囲1、2または3のシステムにおいて、前記マルチプロセッサが少なくとも1つの汎用プロセッサ（302；608）を含み、前記汎用プロセッサが、各々のタスク特定プロセッサより相当に低い性能密度を有し、各々のタスク特定プロセッサより相当に高いレベルのプログラム可能性を有するシステム。

5. 請求の範囲4のシステムにおいて、前記汎用プロセッサが、前記基礎機能にマッピングするのに適していないアルゴリズムの部分を実行するシステム。

6. 請求の範囲1または4のシステムにおいて、前記マルチプロセッサが、前記汎用プロセッサと各々のタスク特定プロセッサとの間にある中間性能密度レベルおよびプログラム可能性レベルを有する少なくとも1つの他のプロセッサ(402, 404)を含むシステム。

7. 請求の範囲6のシステムにおいて、前記他のプロセッサが、以下のタスク、すなわち、

- ー 前記タスク特定プロセッサの制御、
- ー グラフィックスコプロセッサとしての機能、
- ー 前記基礎機能にマッピングするのに適さないアルゴリズムの実行、

の少なくとも1つを行うシステム。

8. 請求の範囲4または5のシステムにおいて、バックグラウンドメモリに接続するポートを具え、

- ー 前記タスク特定プロセッサの特定の1つ(304)が特徴抽出を行い、
- ー 前記汎用プロセッサが前記ポートに前記特定のタスク特定プロセッサを経てアクセスするシステム。

9. 請求の範囲1のシステムにおいて、通信アービタ(210)を具え、前記通信アービタに格納されたデータフローグラフの指示の下で前記通信モジュールによって与えられる通信を制御するシステム。

10. 請求の範囲4のシステムにおいて、通信アービタ(210)を具え、前記通信アービタに格納されたデータフローグラフの指示の下で前記通信モジュールによって与えられる通信を制御し、前記汎用プロセッサが前記データフローグラフを制御するシステム。

11. 1つの半導体基板上に集積した請求の範囲1、2、3、4、5、6、7、8、9または10のシステム。

【発明の詳細な説明】**高性能密度を有するマルチメディアプロセッサアーキテクチャ****発明の分野**

本発明は、ビデオデータをビデオアルゴリズムに従って処理し、通信手段を経て相互接続されたマルチプロセッサを具えるビデオデータ処理システムに関するものである。前記マルチプロセッサは、1つの半導体基板上に集積するのが好適であるが、必須ではない。

背景技術

現在広く注目されている情報技術の分野内の主な発展の1つは、マルチメディアソフトウェアアプリケーションに係る。マルチメディアアプリケーションは、代表的に、高解像度ディスプレイ上で、好適には相互作用的にリアルタイムにおいて、ビデオ、グラフィックスおよびオーディオ装置のような異なったソースを源とする複数の情報ストリームを結合することを可能にする。莫大な情報ストリームの費用効果的なリアルタイム処理の要求が、チップ設計者に多大に要求される。製造業がプログラム可能コンピュータアーキテクチャの性能を改善しようとする試みは、主に、クロックレートを上昇させることと、命令レベルおよびタスクレベルにおける対応を拡張することとに集中している。

テキサスインスツルメンツ社は、マルチメディアビデオプロセッサ (Multimedia Video Processor : MVP) TMS320C80と呼ばれる、完全プログラム可能デジタル信号プロセッサを最近提案している。MVPは、1枚の半導体基板上に、1個の100MFLOP (1秒あたり100万回の浮動小数点演算) の浮動小数点完全プログラム可能RISCプロセッサと、クロスバーネットワークを経てデータ用の2キロバイトSRAMの25のバンクおよび命令キャッシュに接続された4個の同型の完全プログラム可能500MOPS (1秒あたり100万回の演算) 並列プロセッサ (DSP) と、400Mバイト/秒でチップの外と通信するI/Oコントローラとを収容する。前記RISCプロセッサは、システムの制御と外部プロセッサとの通信とを取り扱う。浮動小数点ユニットを有するただ1つ

のものであることから、前記RISCプロセッサは、浮動小数点中心の計算を行

う好適なプロセッサでもある。前記DSPは、Cまたはアセンブリにおいて完全プログラム可能であり、乗算-累積中心のアルゴリズムの実行に特に適している。各々の前記DSPは、3ないし15のRISC命令を、同時に各々のサイクルにおいて実行できる。前記完全プログラム可能性は、今日の汎用プロセッサのそれと同様に、JPEGおよびMPEGのような種々の画像圧縮技術の動的な選択を支持している。前記完全プログラム可能性は、前記プロセッサがどのような仮想的なタスクも行えるようにする。例えば、SID 94ダイジェスト637-640ページにおけるR. J. Goveによる” MVP: 画像およびビデオアプリケーション用シングルチップマルチプロセッサ (The MVP: A Single-Chip Multiprocessor for Image and Video Applications) ”、IEEE コンピュータグラフィックスおよびアプリケーション (IEEE Computer Graphics & Applications), 1992年11月, 53-64ページにおけるK. Gutttag他による” マルチメディア用シングルチップマルチプロセッサ: MVP (A Single-Chip Multiprocessor For Multimedia: The MVP) ” または、1994年5月1-4日、カリフォルニア州サンディエゴにおけるIEEE 1994年注文生産集積回路会議 (IEEE 1994 Custom Integrated Circuits Conference) の会報の91-94ページにおけるK. Balmer他による” シングルチップマルチメディアビデオプロセッサ (A Single Chip Multimedia Video Processor) ” を参照されたい。

代表的に、マルチメディアビデオアルゴリズムは、高級プログラミング言語において最も簡単に設計できる。このときコンピュータを使用して、汎用プログラム可能プロセッサによって実行可能なコードを発生する。ハイレベルな支援手段なしで並列プロセッサをプログラムすることは極めて困難なため、もちろんこれには前記MVPを用いる。並列プロセッサ間の衝突、例えば、同じメモリのアクセスに関する予測されない争いに対する保護のために、前記MVPは、優先化回路網および再試行回路網のような追加のハードウェアを含む。

プロセッサの能力を量化する単位の1つは、1平方ミリメートルの半導体基板面積当たりの計算性能であり、” 性能密度 (performance-density) ” と呼ばれる量である。一般に、汎用プロセッサの性能密度は、プログラム可能性が制限

された専門化プロセッサのそれよりも相当低く、専用のハードウェア解決法の性能密度よりも相当低い。この低い性能密度は、特に、プログラム機能を実現するのに必要なハードウェアオーバーヘッド（例えば、追加の回路網および相互接続部）が原因であり、利用可能なハードウェアのいくらか非能率的な使用も原因である。後者に関して、処理すべきデータの到着まで待たなければならない場合、すべてのクロックサイクルが計算に使用されるとは限らない。したがって、MVPの性能密度は、完全にプログラム可能な汎用DSPおよび完全にプログラム可能な汎用RISCプロセッサの使用によって、相当に制限される。他の欠点は、プログラムがMVPの命令キャッシュに適合しない場合、命令のトラヒックがMVPにおいて問題になる恐れがあることである。これは、例えば、マルチタスク動作中のリアルタイムな要求のために頻繁な文脈の切り替えが必要な場合、特により重大な問題になる。MVPは、1個のDSPにおける動的な文脈の切り替えはできない。

発明の目的

本発明の目的は、性能密度が先行技術のシステムの性能密度よりも相当高いマルチメディアビデオデータプロセッサシステムを提供することである。

発明の概略

この目的のために、本発明は、以下の特徴を特徴とする序文において記述したようなシステムを提供する。前記マルチプロセッサが、画像処理レベルにおけるアルゴリズムにおいて生じる複数の基礎機能の各々1つを実行する各々タスクが特定された複数のプロセッサを含む。すなわち、前記基礎機能は、ビデオまたはグラフィックス画像の処理に特有の特性に関係する。代表的に、各々の基礎機能は、以下のタスク、フィルタ処理、DCT、色空間変換、標本レート変換、動き予測および動き補償、特徴抽出、グラフィックスデータおよびビデオデータの合成、表参照、可変長復号化の各々1つを含む。これらのタスク特定プロセッサの各々は、代表的な汎用プロセッサより高い性能密度を有する。これらのタスク特定プロセッサの各々は、プログラム不可能であるか、汎用プロセッサより相当低いプログラム可能性を有し、例えば、前記タスク特定プロセッサの1つまたはそれ以上がパラメータ化可能である。前記通信手段は、前記タスク特定プロセッサ

に並列に結合し、前記タスク特定プロセッサの任意のもの同志で同時通信を可能にする高速通信モジュールを具える。

前記通信手段は、好適には、通信アービタを具え、前記通信アービタに格納されたデータフローグラフの案内の下で前記通信モジュールを制御する。

代表的に、汎用RISCプロセッサは、 $1-5\text{MOPS}/\text{mm}^2$ 程度の性能密度を有し、DSPは、 $5-10\text{MOPS}/\text{mm}^2$ 程度の性能密度を有し、所定の基礎機能を行うタスク特定プロセッサは、 $50-100\text{MOPS}/\text{mm}^2$ 程度の性能密度を有する。例えば、本発明において、可変位相遅延フィルタを実現するタスク特定プロセッサは、 $80\text{MOPS}/\text{mm}^2$ が可能である。これは、前記プロセッサが特定のタスクに最適化されているためだけでなく、本発明におけるシステムによって提供されるマルチタスク環境における標本化レート変換、タイムベース補償、および幾何学画像補償に関する前記フィルタの多重使用のためでもある。上述した計算性能密度の数値は、例としてあげただけであり、現在の技術状態に関係する。より重要に、上述した分類は、低、中および高性能密度のプロセッサの計算性能密度が、少なくとも程度が互いに代表的に異なることを説明する。

好適には、前記マルチプロセッサは、さらに、少なくとも1つの低性能密度の汎用プロセッサを具える。前記汎用プロセッサは、前記アルゴリズムにおいて生じる他の処理機能を実行することができ、前記機能は、そのアルゴリズム構造において、前記タスク特定プロセッサにおいてマッピングするには不規則過ぎる。前記タスク特定プロセッサのあるものは、例えば、前記タスク特定プロセッサおよび汎用プロセッサ間のインタフェースにおいて生じる高速データレートを取り扱う。この汎用プロセッサは、前記データストリームから特定の情報を抽出して、より低いデータレートであって前記汎用プロセッサに適したフォーマットに変換する。前記汎用プロセッサは、この特徴抽出を、バックグラウンドメモリのアクセスに関するI/Oプロセッサとして使用することもできる。前記汎用プロセッサによって発生された低速情報を、特定のタスク特定プロセッサによって表示レートに高速化することができる。

好適には、前記マルチプロセッサは、さらに、前記タスク特定プロセッサを制

御し、前記基礎機能に容易にマッピングできないビデオアルゴリズムの不規則な部分を実行する、少なくとも1つの中性能密度のプロセッサ、代表的にDSPを具える。前記中性能密度のプロセッサは、完全プログラム可能汎用プロセッサと、基礎機能を実現するタスク特定高性能密度プロセッサとの間のレベルのプログラム可能性を有する。前記中性能密度のプロセッサを、グラフィックスコプロセッサとすることもできる。

本発明の理論的根拠を、本発明によって行われた以下の観察の参照と共に説明する。

第1の観察は、上述したように、汎用プログラム可能プロセッサの性能密度は、プログラム可能性が限定されるかまったくないタスク特定（すなわち、特定のルーチン専用または最適化された）プロセッサまたは専用ハードウェアのそれよりも相当低く、高速ビデオ処理には適していない汎用の解決法であるということである。

第2の観察は、マルチメディア／ビデオ／グラフィックス処理アプリケーションにおける高速計算は、ほとんど複雑ではなく、したがって、条件付き分岐がない厳密なデータフロー言語のような、より強制的なプログラム言語において、容易に記述することができることである。この記述を、前記汎用プロセッサより極めて互い性能密度を有する、分岐ユニットがないデータフロープロセッサに能率的にマッピングすることができる。

第3の観察は、代表的なマルチメディアビデオ処理アプリケーションは、画像処理レベルにおける比較的複雑な基礎機能によって構成されることである。マルチメディアビデオアプリケーションの代表的な例は、ノイズ除去のような画像強調、アナログビデオおよびオーディオ信号の復号化、拡大／縮小、例えば、輝度、ガンマまたはコントラストによる画像制御、高解像度グラフィックスを含む演算、ビデオデータ圧縮および伸張、データ通信である。

第4の観察は、これらのアプリケーションが、共通の基礎機能の大きな組を有することである。これらの比較的複雑な基礎機能の代表的な例は、FIRフィルタ処理およびDCT、色空間変換、フィルタ演算を有するまたは有しない水平標本化レート変換、簡単な動き補償のためのフィルタ演算を有するまたは有しない

垂直標本化レート変換、動き予測および動き補償、特徴抽出、グラフィックスおよびビデオの合成、表参照および表更新、可変長符号化である。これらの比較的複雑な基礎機能を、加算器、乗算器、累算器、演算装置、等の形態における基本的なプロセッサを必要とする、加算および乗算のようなより低いレベルの抽象におけるより多くの基本的な演算に分解する。これらの基本的なプロセッサのいくつかは、並列／パイプラインに、または順次に使用され、前記基礎機能の1つを形成する。しかしながら、個々の基本プロセッサのプログラミングと、前記プロセッサ間の通信とによって、オーバーヘッドは、より低いレベルの抽象に対してより大きくなる。したがって、性能密度は、極めて低くなる。これらの比較的複雑な基礎機能を複数のより基本的な演算に分解する代わりに、前記機能をパラメータ化によってある程度一般化してもよい。この方法は、これらを、より複雑なマルチメディアビデオアルゴリズムの一般的なクラスにあてはめる。このやり方の理由は、前記複雑な基礎機能のさらなる分解は、ハードウェアの柔軟性を増加せず、そのプログラム可能性も増加しないことである。代わりに、パラメータ化基礎機能の実現と比べて非能率的であるICによる実現になる。

第5の観察は、異なったマルチメディアビデオ処理アプリケーションの大きなクラスは、基礎機能の小さな組から成ることである。

第6の観察は、処理アプリケーションの大きなクラスは、多くの複雑な基礎機能を並列またはパイプラインにおいて使用することである。

第7の観察は、前記基礎処理機能の各々が、代表的に100-800MOPSの範囲における性能を必要とすることであり、ここで、演算を、加算、減算、乗算、除算、比較、メモリ参照とし、輝度／クロミナンス符号化に関して標本あたり 2×12 ビットで、RGB符号化に関して標本あたり 3×12 ビットによる13.5MHzのビデオ標本化レートとする。いくつかのアルゴリズムを含む処理アプリケーションの実行、またはいくつかのアプリケーションの並列における実行は、必要な性能を、基礎機能あたり400-2000MOPSに上昇させる。明らかに、汎用プログラム可能DSPは、このような高性能を安価に提供しない。

第8の観察は、前記ビデオアルゴリズムのいくつかの部分は、前記タスク特定

プロセッサの基礎機能に適切にマッピングできないことである。低性能密度の完

全プログラム可能汎用プロセッサか、DSPのような中性能密度のプロセッサかを、これらの部分処理するために設けるべきである。

第9の観察は、前記タスク特定プロセッサの制御と、ビデオアルゴリズムにおける前記基礎機能にマッピングできない部分の実行との双方は、より低速におけるより複雑なアルゴリズムを必要とし、したがって、少なくともいくらかの柔軟性を有するプロセッサによってより良く管理されることである。

まとめると、本発明者は、ビデオアルゴリズムの特定の特性が、タスク特定のプログラム不可能または弱くプログラム可能なプロセッサの使用を可能にし、これらの各々1つを前記ビデオアルゴリズムの基礎機能の組のうちの各々1つを行うのに最適化することを実現した。本発明のシステムは、高性能密度を有し、多くて低レベルのプログラム可能性を有するタスク特定プロセッサを使用する。いくつかの状況の下で、ASICおよび同等のFPGAは、前記タスク特定プロセッサのより良い候補となる。さらに前記タスク特定プロセッサは、代表的に同型ではない。前記先行技術は、代わりに、汎用完全プログラム可能で同型のプロセッサのみを使用することに注意されたい。本発明のシステムを、混成プロセッサシステムと呼ぶ。

プログラム可能性のオーバーヘッドが減少するため、先行技術に関して性能密度が大幅に上昇し、前記アルゴリズムを基礎機能にモジュール分解したため、プログラミングが簡単になるという利点がある。低性能密度の完全プログラム可能汎用プロセッサは、前記基礎機能に容易にマッピングできないタスクを行う。中間レベルのプログラム可能性と中間レベルの性能密度を有する他のプロセッサを設け、前記タスク特定プロセッサを制御する。前記他のプロセッサは、前記基礎機能にマッピングできないが、中間レベルの性能密度およびプログラム可能性を有するプロセッサによって好適に実行することができるアルゴリズム部分を扱ってもよい。このように、本発明は、先行技術のシステムによって与えられるより高い全体的なシステム性能密度を達成するために、異なったレベルのプログラム可能性および計算性能密度による階層的処理の概念を導入する。

本発明は、例えば、TV（TXT復号化および音声の復号化）、カメラ、VCR、CD-I装置およびマルチメディアPCにおける一般的な音声／ビデオ処理

に特に好適であるが、これらに限定されない。

図面の説明

本発明を、さらに詳細に、添付した図の参照と共に例として以下に説明する。

図1は、先行技術のマルチプロセッサアーキテクチャのブロック図である。

図2および3は、本発明におけるマルチプロセッサアーキテクチャのブロック図である。

図4は、本発明におけるマルチプロセッサアーキテクチャのより詳細なブロック図である。

図5は、先回りテレビジョン処理アプリケーションに関するデータフローグラフである。

図6は、図5のデータフローグラフを実現するマルチプロセッサアーキテクチャの詳細なブロック図である。

図7は、本発明によるマルチプロセッサアーキテクチャの他のブロック図である。

これらの図を通じて、同じ参照符は、対応するまたは同様の特徴を示す。

詳細な実施例

先行技術

図1は、上述した先行技術のマルチメディアビデオプロセッサ（MVP）100のシングルチップマルチメディアプロセッサアーキテクチャのブロック図である。MVP100は、主プロセッサ102と、複数の同型並列プロセッサ（DSP）104、106、108および110と、複数のメモリモジュール112、114、116、118、120、122、124、126および128と、クロスバースイッチ130と、伝送コントローラ132とを具える。

主プロセッサ102を、浮動小数点ユニットを具えた汎用RISCプロセッサとする。主プロセッサ102は、DSP104-110の動作を制御し、外部プロセッサ（図示せず）との通信を管理する。主プロセッサは、さらに、低性能の

計算タスクを行うことができる。DSP104-110を、完全プログラム可能並列プロセッサとする。メモリモジュール112-118は、DSP104-110によってクロスバースイッチ130を経てすべて並列にアクセス可能であり

、共有データメモリとして機能する。メモリモジュール120は、主プロセッサ102用の命令およびデータ双方のキャッシュとして機能する。メモリモジュール122-128は、DSP104-110の各々1つ用の命令キャッシュとして各々機能する。クロスバースイッチ130は、DSP104-110がメモリモジュール112-118の各々1つに独立して、モジュール112-118の他のものとのアクセスと平行してアクセスすることを可能にする。DSP104-110は、各々、2つのデータメモリポートを有し、主プロセッサ102は、1つのデータメモリポートを有し、伝送コントローラ132は、1つのデータメモリポートを有し、これらのすべては、モジュール112-118に並列にクロスバースイッチ130を経てアクセス可能である。伝送コントローラ132は、チップ上メモリ112-118とチップ外メモリ（図示せず）との間のメモリトラヒックを、メモリアクセス要求の優先順位スケジューリングを使用して管理する。この構成において固有の特徴に関して、上述した背景技術が参考になる。

本発明の第1実施例

図2は、本発明におけるビデオデータ処理システム200に関するマルチプロセッサアーキテクチャの第1実施例のブロック図である。システム200は、マルチメディアソフトウェアアプリケーションにおいて、ビデオおよびグラフィックスデータを処理する。システム200は、高性能密度の多重のタスク特定プロセッサ202、204、...、および206を具える。タスク特定プロセッサ202-206は、ビデオ信号処理アルゴリズムの基礎的で複雑な機能を実行する。例としては、色空間変換、標本化レート変換、...、動き補償、等がある。プロセッサ202-206は、まったくプログラム可能ではなく、これらの振る舞いがパラメータ化されている場合、低レベルのプログラム可能性を有する。低レベルのプログラム可能性は、プロセッサ202-206を、同じ基礎機能が使用されるが異なったパラメータ値を有する異なったアーキテクチャにおいて使

用できるようにする。好適には、パラメータ値の異なった組間の切り替えを可能にするために、そしてパラメータ化プロセッサ、例えばプロセッサ202の内部データ状態の保存／再生を可能にするために、高速制御をプロセッサ202-206の内部および外部において利用できるようにする。例えば、ユーザ相互作用

の結果としての個々のアルゴリズムのパラメータ値の更新は、代表的に、極めて低いレートにおいて行われる。例えば、別個のバス（図示せず）を経て、パラメータのリロードを達成する。簡潔にするために、”低レベルプログラム可能性”という表現を、以下に、プログラム不可能プロセッサおよびパラメータ化可能プロセッサの双方に使用する。

マルチメディアの状況内で、大部分のアルゴリズムおよび処理アプリケーションは、多数の複雑な基礎機能を、並列またはパイプラインにおいて使用する。好適には、プロセッサ202-206は、互いに、並列に、プロセッサ202-206のすべてが並列に実行を保てるように、通信できなければならない。したがって、システム200は、高速通信モジュール208と、通信アービタ208とを含む。モジュール208は、プロセッサ202-206間の所望の相互接続を実現する。モジュール208は、例えば、高速超ワイドバス、レジスタファイル、または、バッファか小さいレジスタファイルかを有するクロスバースイッチを含む。通信アービタ210は、タスク特定プロセッサ202-206間のモジュール208を経た通信と、一方ではタスク特定プロセッサ202-206と他方ではバックグラウンドメモリ212との間の通信とを管理する。この目的のために、通信プロトコルとプロセッサ202-206間のデータのルート割り当てとを管理するデータフローグラフを、通信アービタ210に格納する。前記データフローグラフは、いずれかの特定の瞬時において、プロセッサ202-206のどれが、互いに、そしてバックグラウンドメモリ212と通信するかを規定する。本質的に、アービタ210は、プロセッサ202-206を、いずれかの所望の方法において相互接続することができる。プロセッサ202-206の内部バッファ容量に応じて、アービタ210は、好適には、通信モジュール208における相互接続を、ラインレート（プロセッサ202-206が搭載するおよび／

または通信モジュール208におけるラインバッファ)に下がったクロックレート(バッファリングなし)において制御することができる。通信モジュール208は、内部メモリ(図示せず)をあるいは収容する。

第2実施例

図3は、本発明におけるビデオデータ処理システム300に関するマルチプロセッサアーキテクチャの第2実施例のブロック図である。システム300は、上述した部分202-212に加えて、汎用プロセッサ302を具える。

処理アプリケーションのある部分を、例えば、該アプリケーションのアルゴリズム配置における規則性の程度が低いため、プロセッサ202、204または206のようなタスク特性パラメータ化可能プロセッサにおいて容易にマッピングすることができないことが常に起こりうる。したがって、これらの不規則なアルゴリズムを処理するために、十分にプログラム可能な1つまたはそれ以上のプロセッサ302を使用する。この混成処理アプローチを、システム300によって反映させ、汎用プロセッサ302は、タスク特定プロセッサ202-206と通信し、特定のおよびより一般的な処理タスク間の連続的なデータ交換を可能にする。上述したように、プロセッサ302が、タスク特定プロセッサ202-206より相当に低い性能密度を有することは明らかである。したがって、不規則なアルゴリズムに関して強制する性能は、これらが関係する高度に規則正しいマルチメディア計算機能より低くなるに違いない。幸運にも、これは、ビデオ/オーディオ装置およびマルチメディア端末において使用される大部分のマルチメディア計算アルゴリズムに関して真である。

一方では、タスク特定プロセッサ202-206のインタフェースにおいて生じる高速データレートと、他方では、汎用プロセッサ302における低速データレートとの間にあるデータレートを、ここで中間データレートと呼ぶ。この中間レートは、例えば、特徴抽出器において、プロセッサ302のようなより一般的な形式のプロセッサによって処理できるようにするために、より低いレートかつ好適なフォーマットへ変換するために、特定の情報をデータストリームから抽出する場合に生じる。汎用プロセッサ302は、バックグラウンドメモリ212に

おけるデータにアクセスするI/Oプロセッサとして特徴抽出器304を使用することもできる。他方では、プロセッサ302のような低速汎用プロセッサによって発生される低速データを、プロセッサ304のような特別なプロセッサによって表示レートに、またはグラフィックス表示プロセッサ（図示せず）によって

さらにより高いレートに高速化することができる。

第3実施例

図4は、本発明におけるマルチプロセッサシステム400のより詳細なブロック図である。低性能密度の汎用プロセッサと、同じアルゴリズムの異なった部分を実行する高性能密度のタスク特定プロセッサとを有する概念を、ここではより一般的な多層すなわち混成アーキテクチャに拡張した。

システム400は、上述したタスク特定プロセッサ202-206および汎用プロセッサ302を含む。加えて、システム400は、中間レベルのプログラム可能性（制限的にプログラム可能）および中間レベルの性能密度を有する1つまたはそれ以上の他のプロセッサ402、...、404を具える。”中間”という言葉は、代表的な汎用プロセッサ302のレベルと、タスク特定プロセッサ、例えばプロセッサ202のレベルとの間にあるレベルを示す。プロセッサ402-404は、一方で性能密度と、他方でプログラム可能性とのある程度の妥協を与える。グラフィックスコプロセッサまたはディジタル信号プロセッサ（DSP）のような専用プログラム可能プロセッサも、中間性能密度を有するこのような制限プログラム可能プロセッサの範疇に入る。代表的に、制限プログラム可能プロセッサ402-404は、決定構成、分岐および循環を含む制御アルゴリズムの一般的なクラスを実行し、これらに関して、複雑な制御プログラムを読み出すことができる。プロセッサ402および404を、主として高速プロセッサ202-206の制御に使用する。加えて、プロセッサ402-404を、タスク特定プロセッサ202-206にマッピングすることができない中速アルゴリズム部分の実行に使用する。

本発明におけるプロセッサは、異なったレベルの計算性能密度と、異なった程度のプログラム可能性とを有する。性能密度およびプログラム可能性は、性能密

度がより高くなるとプログラム可能性がより低くなるように関係する。システム400は、プロセッサ202-206、402-402および302の特定の1つの機能が、前記処理または実行すべき制御タスクをかんがみて、プロセッサの計算性能密度とそのプログラム可能性の程度とが最高になる、したがって、システム400の全体的な性能が最適化される機能的階層化構成において、これらの

プロセッサを使用する。高性能密度層を、前記基礎機能を実行するタスク特定プロセッサ202-206によって形成する。メモリアンタフェースプロセッサ406と、ポート412および414に接続されたI/Oプロセッサ408および410とは、同様にタスク特定である。中間性能密度の処理層を、制限的プログラム可能プロセッサ402-404によって形成する。低性能密度処理層を、汎用完全プログラム可能プロセッサ302、すなわち、例えばRISCプロセッサによって形成する。

高速通信は、タスク特定プロセッサ202-206と、I/Oポート412および414と、バックグラウンドメモリ212との間で、高速通信モジュール208を介して生じる。中速通信は、制限的プログラム可能プロセッサ402-404とタスク特定プロセッサ202-206との間で、中速バス416または明確な相互接続を使用して起こる。低速通信は、完全プログラム可能汎用プロセッサ302および制限的プログラム可能プロセッサ402-404間と、プロセッサ302およびアービタ210間と、メモリアンタフェースプロセッサ406内の1個のメモリアンタフェースプロセッサを介してプロセッサ302およびバックグラウンドメモリ212間とに生じる。前記低速通信は、バスインタフェース418を使用する。バックグラウンドメモリ212をメモリバンクに分割し、あるいはメモリバンクごとに異なったバンド幅を有するようにする。

好適には、すべてのプロセッサ202-206、302、402-404、406-410は、マルチタスク化に適切であり、データの状態保存またはデータの状態再生、プログラム記憶およびパラメータ記憶用の内部メモリ（図示せず）を有する。好適には、すべてのプロセッサを扱う通信の目的のために、キャッシング/バッファリング設備を有する。好適には、すべてのプロセッサは、ハンド

シェークプロトコルを介した局所的かつ動的な相互作用、または静的スケジュール制御プログラムによる局所的／全体的相互作用を制御するスケジューラを具える。

フローグラフ

図5は、先回りテレビジョン処理アプリケーションに関するデータフローグラフの一例である。以下において、54－70MHz程度のクロックレートが、消

費者向けICの実行に関して可能であるとする。13.5M－18M画素／秒程度の基本ビデオレートに関して、すなわち、27－36Mバイト／秒の基本バイトレート（BR）に関して、各々の高速プロセッサは、（準）並列に、4つの高速動作を行うことができる。

この例における処理アプリケーションは、例えば、ローパスフィルタ処理（LPF）と、水平／垂直ズームと、ノイズ除去と、動き予測（ME）および動き補償（MC）と、ビデオ／グラフィックス合成と、輝度、色合いおよびコントラスト強調のような画像制御とを具える。これらの機能の各々に関する計算要求は、100ないし800MOPS程度であり、1個の汎用プロセッサによってすべての機能を同時に実現するには高すぎる。

図5は、以下の形式の複雑な基礎機能、すなわち、フィルタ演算を含む水平標本化レート変換（H-SRC）と、簡単な動き補償のための特別なフィルタ処理を含む垂直標本化レート変換（V-SRC）と、色空間変換と、ビデオおよびグラフィックスの合成と、画像制御のための表参照とを示す。図5のグラフにおいて示した演算の各々の計算が集中する部分を、これらの基礎機能の1つにマッピングすることができる。しかしながら、これらの固有の不規則性によって、低い頻度の制御および信号処理を、汎用プロセッサによって実行しなければならない。さらに、図5に示す演算の特定のもののいくつかの部分を、複数の基礎機能にマッピングしてもよい。例えば、”画像制御”演算は、2つの別個の色空間変換ステップを要求し、異なった形態のガンマ変化を可能にしてもよい。

上述した6つの基礎機能の各々を、プロセッサ202－206の1つのような1個のタスク特定プロセッサによって実行すべきである。図5におけるアプリケ

ーションを実行するために、ある数のプロセッサが必要である。この数と、必要なプロセッサの合計の数とを、所定の最高データスループットレートに関して決定することができる。以下においてこのデータスループットレートを、前記において規定したようなBRの単位において表す。以下の表は、図5におけるグラフの演算と、列” i n ” においてこれらのデータ入力レートと、列” o u t ” においてこれらのデータ出力レートと、” i n ” および” o u t ” の下での最大数とを、すべてBR単位において記載する。

演算	i n	o u t	最大
L P F および H - S R C	1	1	1
ノイズフィルタ処理	1	1	1
L P F および V - S R C	4	4	4
M E および M C	4	2	4
アップコンバージョン	2	3	3
Y U V - R G B 色空間変換	3	3	3
ビデオ／グラフィックス合成	3	3	3
画像制御入力処理	3	3	3
画像制御出力処理	3	3	3
画像制御ガンマ変化	3	3	3
グラフィックス／真カラー変換	3	3	3

表

前記表によれば、図5の演算を実行するために、合計31のスループットを必要とする。各々のプロセッサは、この節の始めにおいて与えた仮定の下で、並列に4つの高速信号処理タスクを行うことができる。したがって、理論上、最低8（ $31 / 4$ の端数を繰上）個のプロセッサが、この目的を満たすために必要である。前記タスク特定プロセッサの特性によって、同様のアルゴリズムを必要とする演算を、1個のタスク特定プロセッサによって能率的に実行する。したがって同様の演算を群にする。例えば、L P F および H - S R C 演算は、ノイズフィルタ処理およびアップコンバージョンと群になり、2（ $5 / 4$ の端数を繰上）個の

タスク特定プロセッサを必要とする。YUV-RGB変換は、画像制御入力処理および画像制御出力処理と群になり、3（9/4の端数を繰上）個のプロセッサを必要とする。グラフィックス/真カラー変換は、画像制御ガンマ変化と群になり、2（6/4の端数を繰上）個のタスク特定プロセッサを必要とする。全部で、10個のタスク特定プロセッサが、図5のアプリケーションを実行するために必要となる。前記10個のプロセッサが、完全には使用されないことに注意されたい。これは、追加のタスク特定プロセッサの必要なしに、変更または拡張する

余地を与えることができる。

第4実施例

図6は、本発明におけるマルチプロセッサシステム600の注釈付きのブロック図である。システム600は、図5のデータフローグラフに従って動作する。ビデオデータを、バックグラウンドメモリ212からメモリインタフェースプロセッサ406を経て取り出す。前記ビデオデータを、以下のタスク、すなわち、プロセッサ202における垂直標本化レート変換（“V-SRC”）、プロセッサ602における動き予測および補償（“motion estim. comp.”）、プロセッサ204における水平標本化レート変換（“H-SRC”）、プロセッサ604における例えば4:2:2から4:4:4への色空間変換（“color space conv”）を行うタスク特定プロセッサ202-206、602、604および606の特定のものを連続して通過させる。入力部414において利用できるグラフィックスデータをI/Oプロセッサ410によって処理し、表参照用プロセッサ206に供給する。次に前記ビデオデータおよびグラフィックスデータを合成器606に供給し、そこからデータを、プロセッサ604における色空間変換と、例えば、412におけるビデオ出力部に供給する前にプロセッサ604においてガンマ設定および他の色空間変換をするために、プロセッサ206における表参照とによって処理する。

タスク特定プロセッサ602（動き予測および補償）と、完全プログラム可能汎用プロセッサ302の範囲内のCPU608との間のデータフローに注目されたい。このデータフローは、動き予測/補償アルゴリズムの、高速部分および低

速不規則部分への分割によるものである。動き予測器602は、ベクトル情報をCPU608に供給し、CPU608はその結果最高の候補を選択し、動き予測器602によって使用するために送り返す。

タスク特定プロセッサ202-206および602-606間の通信のトポロギにおいて変更が必要な場合、これらの変更は、例えば、基礎機能の実行のタイムスケールよりも相当に大きいタイムスケールにおいて生じる。したがって、前記データフローグラフを、アービタ210にロードするか、汎用プロセッサ302によって更新する。

第5実施例

図7は、本発明によるシステム700の第5実施例のブロック図である。図3、4および6は、異なったレベルの性能密度およびプログラム可能性に属するプロセッサが階層的に相互接続されたアーキテクチャを示す。例えば、図6のシステム600における高性能密度レベルにおける動き予測器／補償器として機能するタスク特定プロセッサ602は、低性能レベルにおける汎用プロセッサ608と、中間性能密度レベルにおいて属する制限プログラム可能プロセッサ402を経て通信する。しかしながら、2またはそれ以上の異なったレベルを、相互接続性が関係する限り合併することができる。すなわち、異なったレベルにおいて示したプロセッサを、並列に接続することができる。システム700の例において、すべてのレベルを1つに合併する。高性能密度のタスク特定プロセッサ202-206と、例えばDSPである中間性能密度の制限プログラム可能プロセッサ402-404と、例えばRISCである完全プログラム可能低性能密度プロセッサ302とを、通信モジュール208とCPUバス418との間にすべて一様に接続する。この並列状態は、並列に配置されたプロセッサ間のデータの連続的かつ直接的な交換を可能にする。高速通信をモジュール208によって管理し、低速通信をCPUバス418によって管理する。アービタ210およびメモリI/Oプロセッサ406を、図示したようにシステム700におけるCPUバス418に接続する。しかしながら、アービタ210およびメモリI/Oプロセッサ406を、これらがモジュール208を経てもアクセスできることから、CPU

バス418に接続する必要はないことに注意されたい。

【図1】

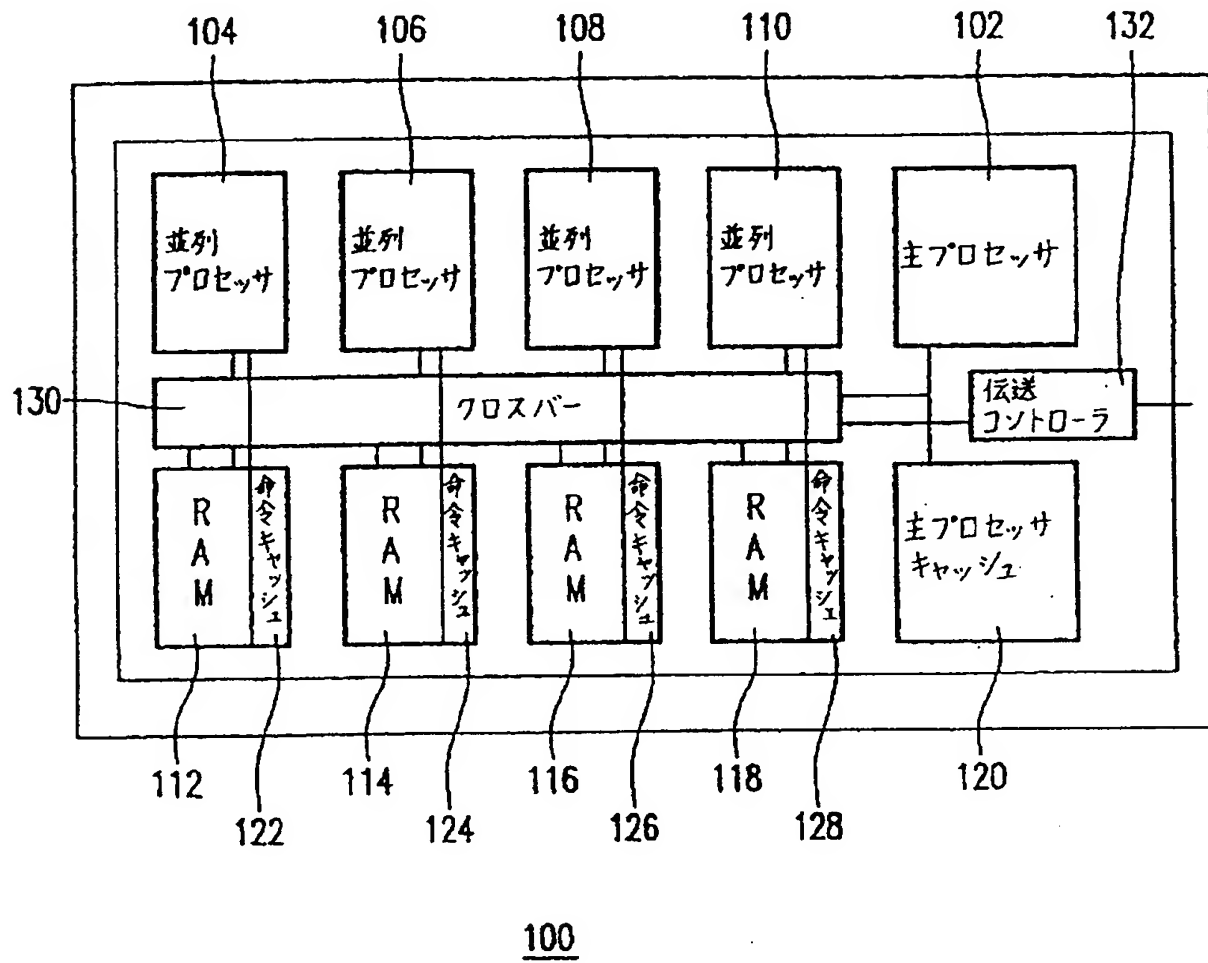


FIG. 1

【図2】

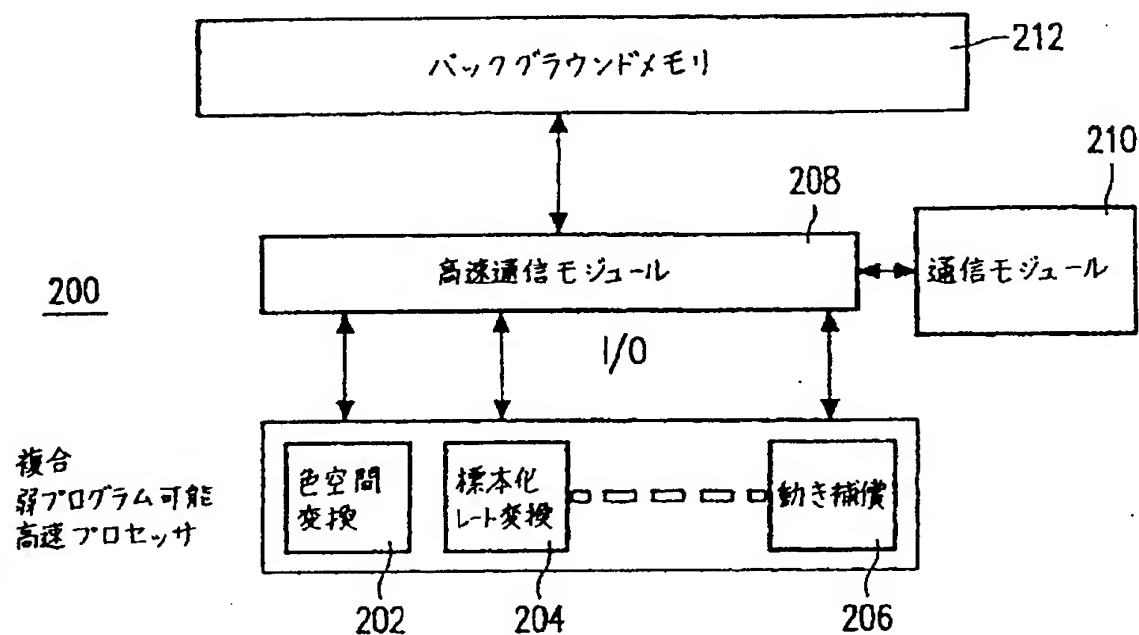


FIG. 2

【図3】

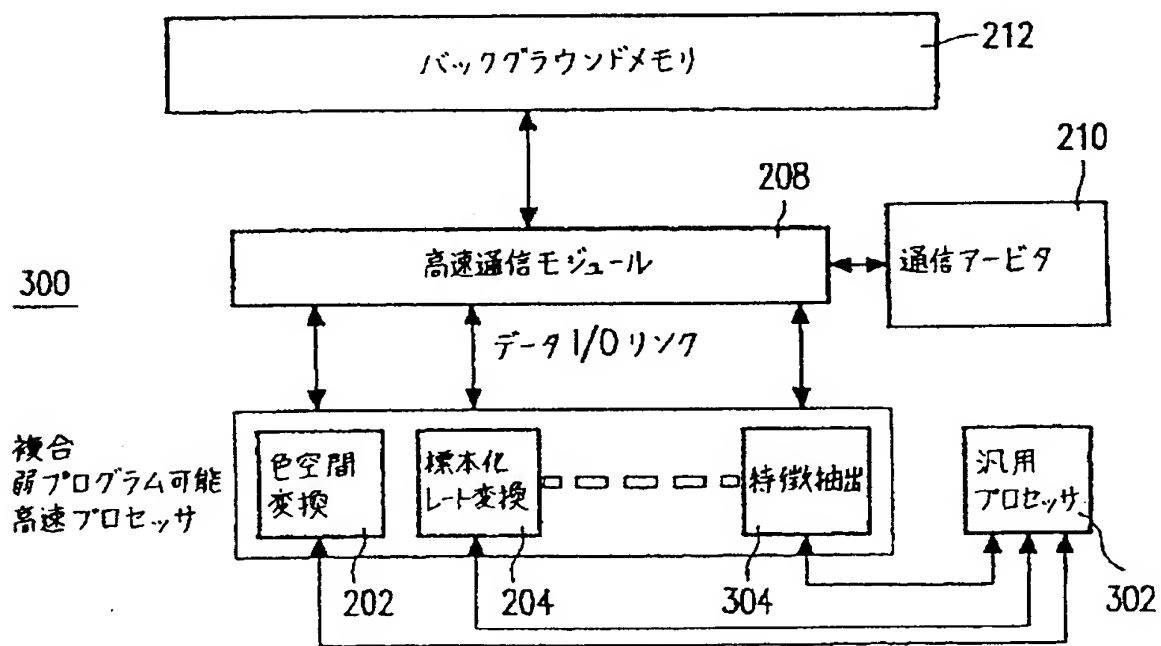


FIG. 3

【図4】

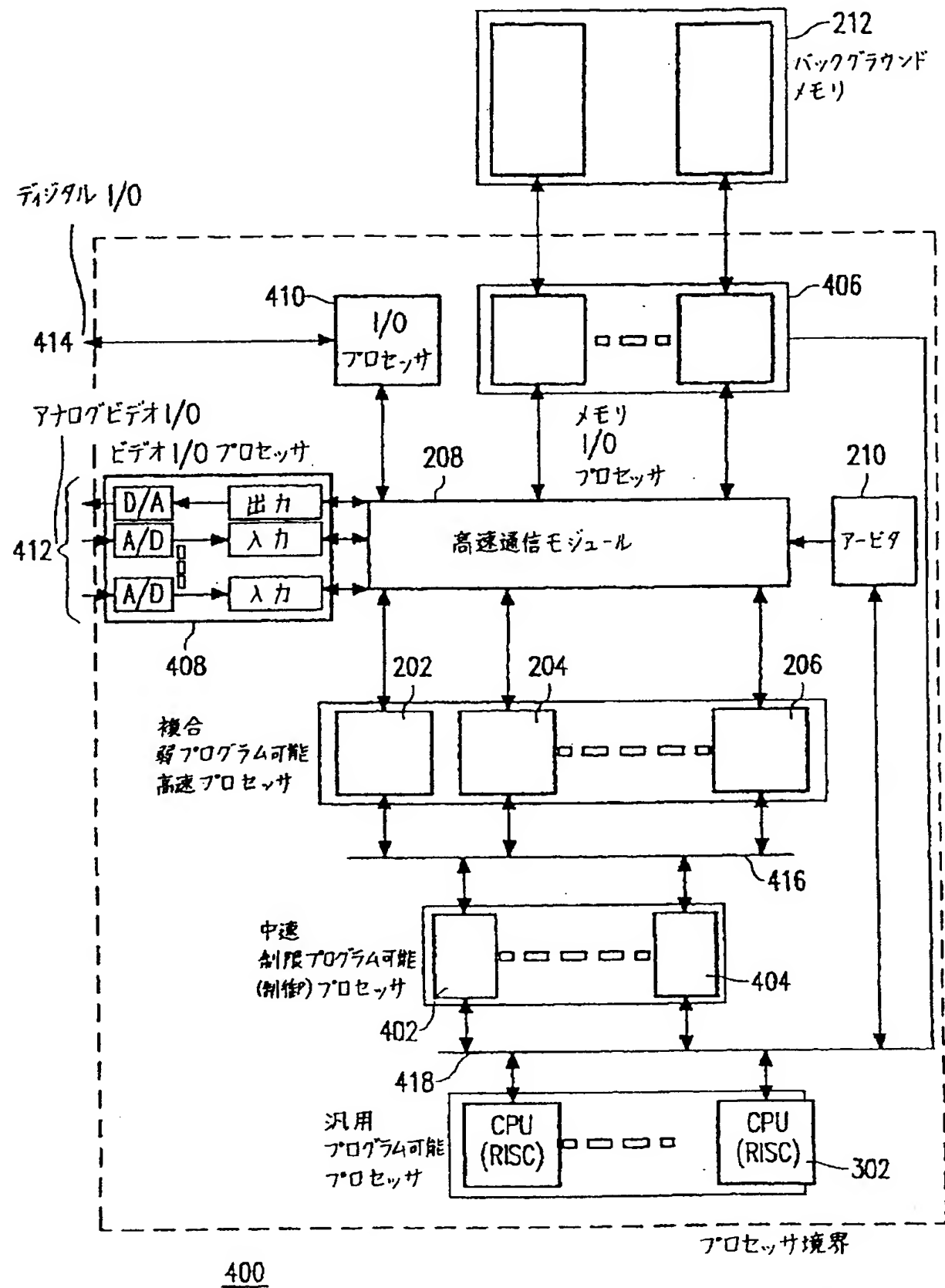


FIG. 4

【図5】

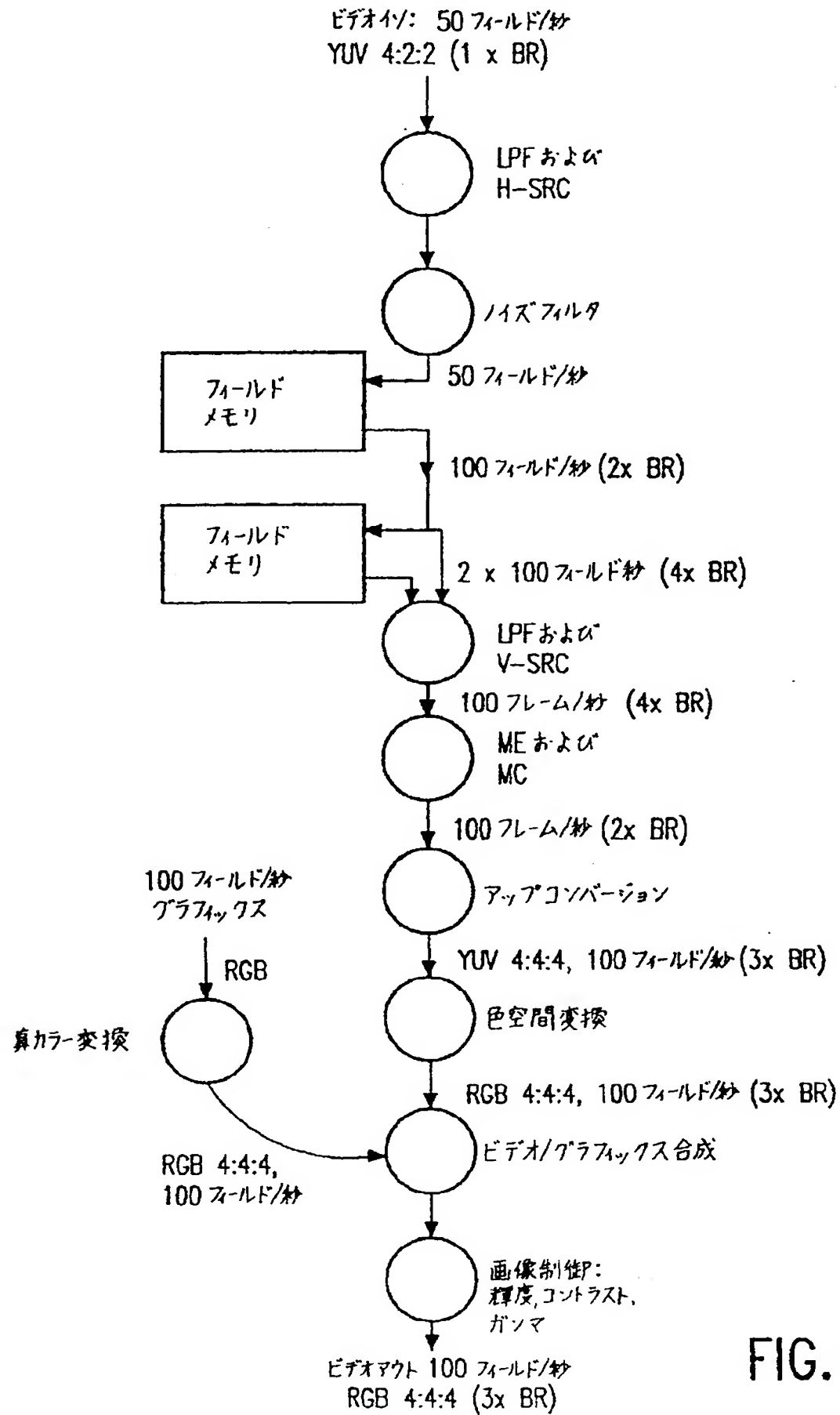


FIG. 5

【図6】

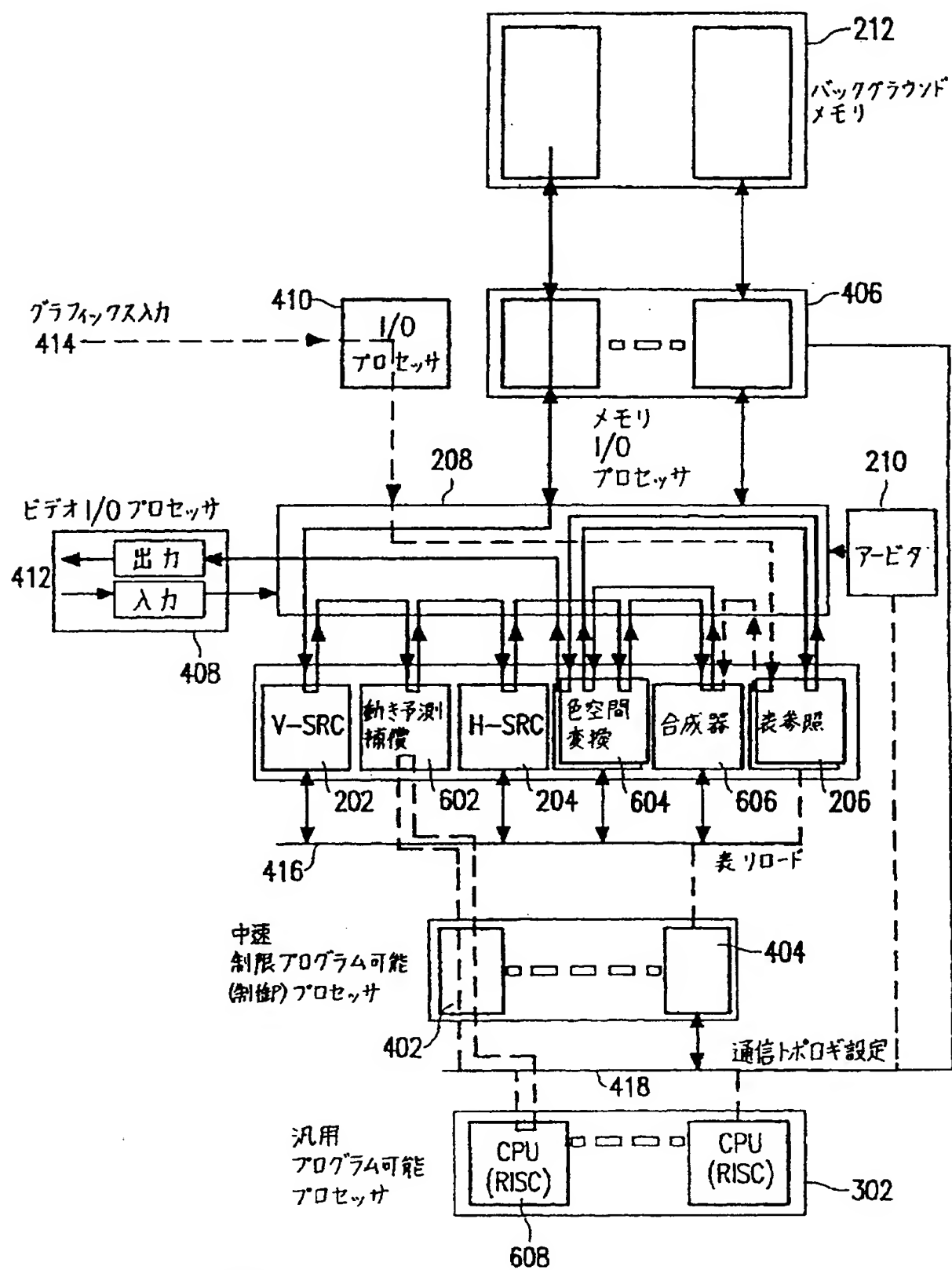


FIG. 6

【図7】

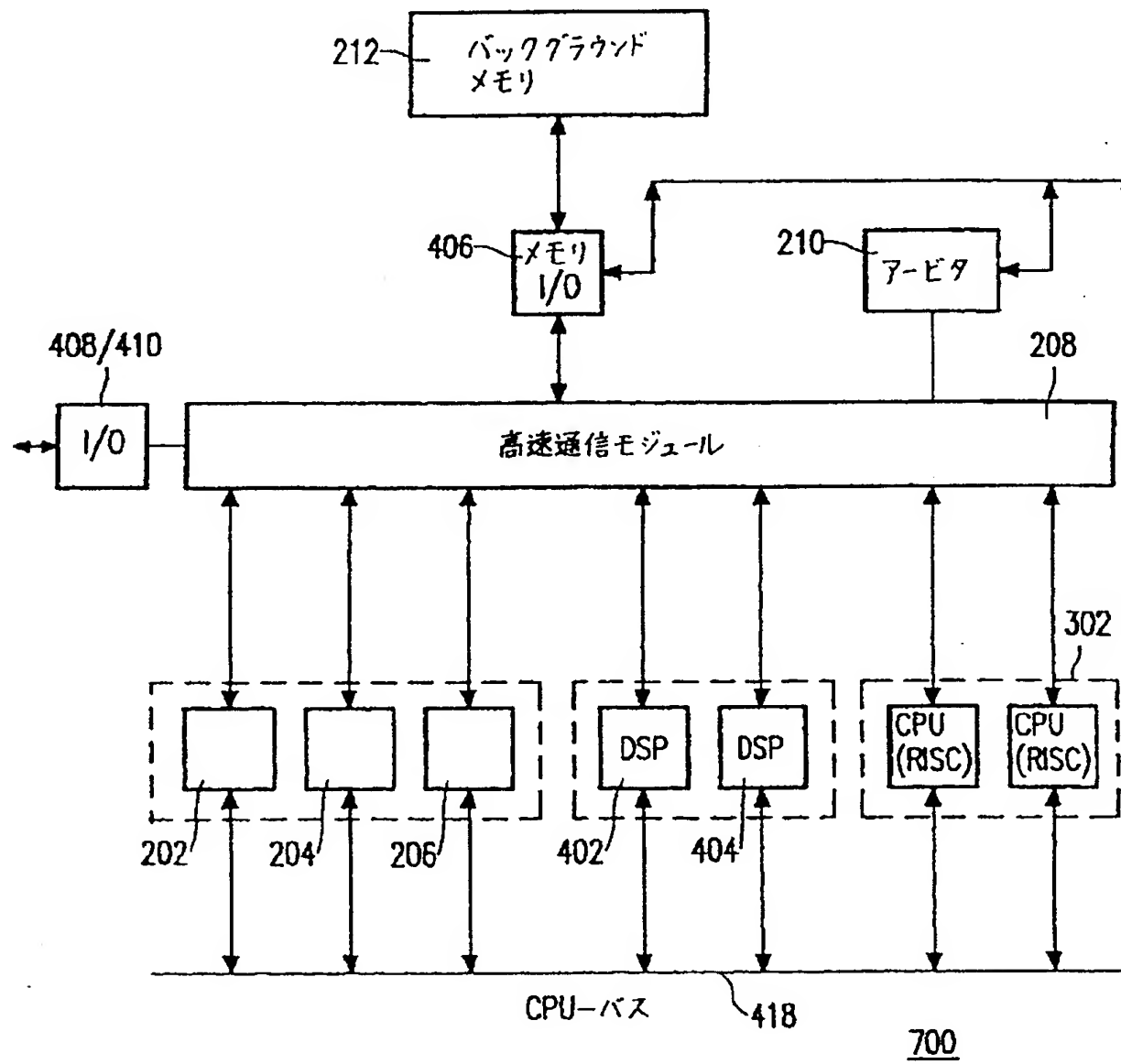


FIG. 7

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00683

A. CLASSIFICATION OF SUBJECT MATTER		
IPC6: G06F 15/80, G06T 1/20 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols)		
IPC6: G06F, G06T		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
SE,DK,FI,NO classes as above		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	GB 2223335 A (GEMS OF CAMBRIDGE LIMITED), 4 April 1990 (04.04.90), abstract, see page 2, paragraph 4 - page 5, paragraph 1; page 11, paragraph 5 - page 12, paragraph 4 ---	1-11
A	US 5140444 A (ROBERT KLEIN ET AL), 18 August 1992 (18.08.92), column 1, line 64 - column 2, line 23; column 4, line 13 - column 5, line 24 --	1-11
A	US 5410649 A (ROBERT J. GOVE), 25 April 1995 (25.04.95), column 9, line 41 - column 10, line 68; column 35, line 4 - column 36, line 25 ---	1-11
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search		Date of mailing of the international search report
1 February 1997		04 -02- 1997
Name and mailing address of the ISA/ Swedish Patent Office Box 5055, S-102 42 STOCKHOLM Facsimile No. +46 8 666 02 86		Authorized officer Kenneth Ahrengart Telephone No. +46 8 782 25 00

INTERNATIONAL SEARCH REPORT

International application No.

PCT/IB 96/00683

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5113494 A (JUAN G. MENENDEZ ET AL), 12 May 1992 (12.05.92), column 4, line 53 - column 6, line 34 ---	1-11
A	EP 0367183 A2 (BTS BROADCAST TELEVISION SYSTEMS, INC.), 9 May 1990 (09.05.90), page 3, line 10 - page 4, line 51, figure 1A, abstract -- -----	1-11

INTERNATIONAL SEARCH REPORT
 Information on patent family members

28/10/96

International application No.

PCT/IB 96/00683

Patent document cited in search report		Publication date	Patent family member(s)		Publication date
GB-A-	2223335	04/04/90	AU-A-	4330589	01/05/90
			WO-A-	9004236	19/04/90
US-A-	5140444	18/08/92	EP-A-	0447541	25/09/91
			WO-A-	9106065	02/05/91
US-A-	5410649	25/04/95	NONE		
US-A-	5113494	12/05/92	DE-A-	3878454	25/03/93
			EP-A,B-	0346388	20/12/89
			JP-T-	2502318	26/07/90
			WO-A-	8806768	07/09/88
EP-A2-	0367183	09/05/90	DE-D,T-	68926094	17/10/96
			US-A-	5262965	16/11/93

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FI, FR, GB, GR, IE, IT, L
U, MC, NL, PT, SE), JP, KR

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】平成16年8月19日(2004.8.19)

【公表番号】特表平10-506492

【公表日】平成10年6月23日(1998.6.23)

【出願番号】特願平9-506486

【国際特許分類第7版】

G 0 6 T 1/20

G 0 6 F 15/80

【F I】

G 0 6 F 15/66 K

G 0 6 F 15/80

【手続補正書】

【提出日】平成15年7月9日(2003.7.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

手 続 補 正 書

平成15年 7月 9日

特許庁長官 太田 信一郎 殿

1 事件の表示

平成 9年 特許願 第506486号

2 補正をする者

名 称 コーニンクレッカ フィリップス エレクトロニクス
エヌ ヱィ

3 代 理 人

識別番号

7205

~~100072051~~

住 所

東京都千代田区霞が関3丁目2番4号

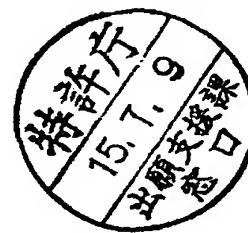
霞山ビルディング7階 電話(3581)2241 番(代表)

氏 名

杉村 興作



- 4 補正対象書類名 請求の範囲
5 補正対象項目名 請求の範囲
6 補正の内容 別紙のとおり



方 式 査 査



請 求 の 範 囲

1. ビデオデータをビデオアルゴリズムに従って処理し、通信手段を経て相互接続されたマルチプロセッサを具えるビデオデータ処理システムにおいて、
 - － 前記マルチプロセッサが、各々が前記アルゴリズムの画像処理レベルにおける複数の基礎機能の各々1つを実行する複数のタスク特定プロセッサを含み、ここで、
 - － 前記タスク特定プロセッサの各々が代表的な汎用プロセッサより相当に高い性能密度を有し、
 - － 前記タスク特定プロセッサの各々が、プログラム不可能であるか、代表的な汎用プロセッサより実際的に低いプログラム可能性を有し、
 - － 前記通信手段が、
 - － 前記タスク特定プロセッサに並列に結合され、前記タスク特定プロセッサの任意のものの間の並列な通信を可能にする通信モジュールを具えることを特徴とするシステム。
2. 請求の範囲1のシステムにおいて、前記基礎機能の各々1つが、以下のタスク、すなわち、フィルタ処理、DCT、色空間変換、標本化レート変換、動き予測および補償、特徴抽出、グラフィックデータおよびビデオデータの合成、表参照、可変長復号化の各々1つを含むシステム。
3. 請求の範囲1または2のシステムにおいて、前記タスク特定プロセッサの少なくとも特定の1つを、パラメータの値を変えることによって前記基礎機能の関係する1つの制御を可能にするために、パラメータ化可能としたシステム。
4. 請求の範囲1、2または3のシステムにおいて、前記マルチプロセッサが少なくとも1つの汎用プロセッサを含み、前記汎用プロセッサが、各々のタスク特定プロセッサより相当に低い性能密度を有し、各々のタスク特定プロセッサより相当に高いレベルのプログラム可能性を有するシステム。
5. 請求の範囲4のシステムにおいて、前記汎用プロセッサが、前記基礎機能にマッピングするのに適していないアルゴリズムの部分を実行するシステム。

6. 請求の範囲 1 または 4 のシステムにおいて、前記マルチプロセッサが、前記汎用プロセッサと各々のタスク特定プロセッサとの間にある中間性能密度レベルおよびプログラム可能性レベルを有する少なくとも 1 つの他のプロセッサを含むシステム。
7. 請求の範囲 6 のシステムにおいて、前記他のプロセッサが、以下のタスク、すなわち、
 - ー 前記タスク特定プロセッサの制御、
 - ー グラフィックスコプロセッサとしての機能、
 - ー 前記基礎機能にマッピングするのに適さないアルゴリズムの実行、の少なくとも 1 つを行うシステム。
8. 請求の範囲 4 または 5 のシステムにおいて、バックグラウンドメモリに接続するポートを具え、
 - ー 前記タスク特定プロセッサの特定の 1 つが特徴抽出を行い、
 - ー 前記汎用プロセッサが前記ポートに前記特定のタスク特定プロセッサを経てアクセスするシステム。
9. 請求の範囲 1 のシステムにおいて、通信アービタを具え、前記通信アービタに格納されたデータフローグラフの指示の下で前記通信モジュールによって与えられる通信を制御するシステム。
10. 請求の範囲 4 のシステムにおいて、通信アービタを具え、前記通信アービタに格納されたデータフローグラフの指示の下で前記通信モジュールによって与えられる通信を制御し、前記汎用プロセッサが前記データフローグラフを制御するシステム。
11. 1 つの半導体基板上に集積した請求の範囲 1、2、3、4、5、6、7、8、9 または 10 のシステム。